

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 277/045

In re patent application of

Dong-sik SHIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD FOR MANUFACTURING MAGNETIC FIELD DETECTING ELEMENT

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA. 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.


In support of this claim, filed herewith are certified copies of said original foreign applications:

Korean Application No. 2003-11807, filed February 25, 2003; and

Korean Application No. 2003-34191, filed May 28, 2003.

Respectfully submitted,

February 23, 2004  
Date

  
Eugene M. Lee  
Reg. No. 32,039  
Richard A. Sterba  
Reg. No. 43,162

LEE & STERBA, P.C.  
1101 Wilson Boulevard Suite 2000  
Arlington, VA 20009  
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011807  
Application Number

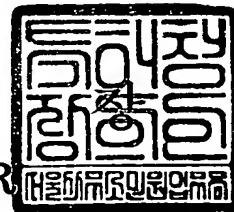
출원 년 월 일 : 2003년 02월 25일  
Date of Application FEB 25, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 06 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.25
【발명의 명칭】	미세 자계검출소자의 제조방법
【발명의 영문명칭】	Fabricating method for micro field sensor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	심동식
【성명의 영문표기】	SHIM,DONG SIK
【주민등록번호】	730202-1769911
【우편번호】	134-030
【주소】	서울특별시 강동구성내동 삼성아파트 104동 211호
【국적】	KR
【발명자】	
【성명의 국문표기】	나경원
【성명의 영문표기】	NA,KYUNG WON
【주민등록번호】	651215-1336936
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전리 현대1차아파트 101-201
【국적】	KR
【발명자】	
【성명의 국문표기】	최상언
【성명의 영문표기】	CHOI,SANG ON
【주민등록번호】	660606-1783411

**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 주공아파트 904동 1804호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 박해석  
**【성명의 영문표기】** PARK, HAE SEOK  
**【주민등록번호】** 710319-1019026  
**【우편번호】** 152-090  
**【주소】** 서울특별시 구로구 개봉동 476 한마을아파트 115-2503  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 정홍식 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 15 면 15,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 7 항 333,000 원  
**【합계】** 377,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 씨드막을 제거하기 위하여 도금완료 후에 도금틀을 제거할 필요가 없기 때문에 제조공정이 단순한 미세 자계검출소자의 제조방법에 관한 것이다. 상기와 같은 목적을 달성하기 위하여 본 발명에 의한 미세 자계검출소자의 제조방법은, 반도체기판 상면에 하부코일을 형성하고, 그 위에 연자성코어를 형성한 후 상부코일을 형성하는 미세 자계검출소자의 제조방법에 있어서, 반도체기판 상면에 씨드막을 형성하는 단계; 하부코일을 구성하는 복수의 코일선 사이는 서로 절연되고, 복수의 코일선은 하부코일의 외주부와는 연결되도록 씨드막을 제거하는 단계; 씨드막이 일부 제거된 반도체기판 상면에 포토레지스트를 도포하고 노광 및 현상을 통하여 하부코일에 대응하는 패턴을 형성하는 단계; 패턴의 요(凹)부에 금속이 채워지도록 반도체기판 상면에 금속막을 형성하는 단계; 하부코일이 형성된 반도체기판 상면에 연자성코어를 형성하고 상부코일을 형성하는 단계; 하부코일을 구성하는 복수의 코일선이 절연되도록 하부코일의 외주부에 해당하는 반도체기판을 절단하는 단계;로 구성된다.

**【대표도】**

도 5b

**【색인어】**

미세 자계검출소자, 반도체기판, 씨드막, 절연선, 절단

**【명세서】****【발명의 명칭】**

미세 자계검출소자의 제조방법{Fabricating method for micro field sensor}

**【도면의 간단한 설명】**

도 1a 내지 도 1h는 종래기술에 의한 미세 자계검출소자의 제조공정을 나타내 보인 단면도,

도 2a 내지 도 2d는 도 1의 미세 자계검출소자 제조공정 중에서 하부코일 제조공정의 일 실시예를 상세하게 나타내 보인 단면도,

도 3a는 도 2c에서 씨드막 제거전의 하부코일을 나타내 보인 평면도이고, 도 3b는 도 2d의 씨드막 제거후의 하부코일을 나타내 보인 평면도,

도 4a 내지 도 4d는 본 발명에 의한 미세 자계검출소자의 제조방법에서 하부코일의 제조공정을 나타내 보인 단면도,

도 5a는 도 4b의 씨드막의 일부를 제거한 상태를 나타내 보인 평면도이고, 도 5b는 미세 자계검출소자를 완성한 후 하부코일을 절연시키기 위해 절단하는 절단선을 나타내 보인 평면도

도 6a 내지 도 6h는 본 발명에 의한 미세 자계검출소자의 제조방법의 일실시예에 의한 제조공정을 나타내 보인 단면도,

도 7은 도 6의 미세 자계검출소자의 제조방법의 변형 실시예에 의해 제1절연막이 형성된 상태를 나타내 보인 단면도,

도 8a 내지 도 8i는 본 발명에 의한 미세 자계검출소자의 제조방법의 다른 실시예에 의한 제조공정을 나타내 보인 단면도이다.

**\*도면의 주요부분에 대한 부호의 설명\***

100; 반도체기판      102; 씨드막  
103; 절연선      104; 하부 도금층  
106; 하부코일      110; 절단선  
120; 제1절연막      122; 연자성코어  
125; 제2절연막      130; 상부 씨드막  
131; 상부 씨드막 절연선      135; 관통홀  
136; 상부코일      137; 코일선  
140, 150; 보호층      142; 상부 도금층  
143; 요부

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<19>      본 발명은 반도체기판에 집적하여 제조하는 미세 소자의 제조방법에 관한 것으로서, 보다 상세하게는 자계를 검출하는 미세 자계검출소자의 제조방법에 관한 것이다.

<20>      일반적으로 미세 자계검출소자는 반도체기판에 연자성코어와 이 연자성코어를 권선하는 여자코일과 자계검출코일을 형성함으로써 제조한다. 외부의 자기가 미세 자계검출소자에 작용

하면 자계검출코일으로부터 전압이 발생하므로 미세 자계검출소자를 이용하여 외부자계를 검출할 수 있다.

<21> 이와 같은 미세 자계검출소자를 제조하는 방법의 일실시예를 도 1 및 도 2를 참조하여 설명하면 다음과 같다.

<22> 먼저, 반도체기판(10) 상면에 씨드막(12)을 형성한 후, 노광과 현상과정을 통해 하부 도금틀(14)을 형성한다(도 1a 참조). 그리고, 전기도금을 통해 하부 도금틀(14)의 요(凹)부(15)를 채우고 하부 도금틀(14)을 제거하면, 도 1(b)와 같은 여자코일과 자계검출코일로 구성되는 권선 하부(16)가 형성된다. 여자코일과 자계검출코일의 권선 하부(16)를 형성하는 방법에 대한 보다 상세한 과정이 도 2에 도시되어 있다. 도 2를 참조하면, 먼저 반도체기판(10)에 전기적 절연을 위해 산화막(미도시)을 형성하고, 도금을 위한 씨드막(sead layer, 12)을 산화막 위에 형성한다(도 2a 참조). 이후, 포토레지스트를 씨드막(12) 위에 두겹게 도포한 후 노광과 현상과정을 통해 여자코일과 자계검출코일의 하부 형상에 대응되는 패턴, 즉 하부 도금틀(14)을 형성한다(도 2b 참조). 이후, 전기도금을 통하여 패턴의 요부(15)에 금속을 채워 넣어 여자코일과 자계검출코일의 각 코일선(17)을 형성한다(도 2c 참조). 그 후에 하부 도금틀(14)을 형성한 포토레지스트와 포토레지스트 아래의 씨드막(12a)을 제거하여 여자코일과 자계검출코일의 권선 하부(16)가 형성된다(도 2d 참조). 도 3a는 도 2의 제조과정 중에서 전기도금에 의해 하부 도금틀(14)의 요홈(15)에 금속이 채워진 후(도 2c의 상태) 하부 도금틀(14)을 제거하였을 때의 평면도이다. 이때는 여자코일과 자계검출코일의 각 코일선(17)이 포토레지스트 아래에 있던 주위의 씨드막(12a)에 의해 서로 연결되어 있다. 도 3b는 도 3a에서 포토레지스터 하부의 씨드막(12a)을 제거한 후의 평면도를 나타내는 것으로 도 2d에 대응된다. 이때는 여자코일과 자계검출코일의 각 코일선(17)들이 서로 전기적으로 절연되어 있는 것을 알 수 있다.



<23> 이와 같이 여자코일과 자계검출코일의 권선 하부(16)가 형성된 반도체기판(10) 상면에 제1절연막(20)을 형성한다(도 1c 참조). 그리고 제1절연막(20) 상부에 연자성체막을 적층하고 패턴형성과 에칭을 통해 연자성코어(22)를 형성한다(도 1d 참조). 이어서 연자성코어(22)가 형성된 반도체기판(10) 상부에 제2절연막(25)을 형성한다(도 1e 참조). 제2절연막(25)에 권선 하부(16)의 양단부를 이루는 금속(17)과 연통되는 관통공(35,35')을 형성한다. 그리고, 제2절연막(25) 상부에 씨드막(30)을 형성한다. 다음에 포토레지스트를 상부 씨드막(30) 위에 두겹게 도포한 후 노광과 현상과정을 통해 여자코일과 자계검출코일의 상부 형상에 대응되는 패턴, 즉 상부 도금틀(32)을 형성한다(도 1f 참조). 이후, 전기도금을 통하여 패턴의 요부(33)에 금속을 채워 넣어 여자코일과 자계검출코일의 각 코일선(37)을 형성한다(도 1g 참조). 그 후에 상부 도금틀(32)을 형성한 포토레지스트와 포토레지스트 아래의 씨드막(30a)을 제거하여 여자코일과 자계검출코일의 권선 상부(36)를 형성할 수 있다(도 1h 참조). 이어서, 여자코일과 자계검출코일의 권선 상부(36)에 보호막(미도시)을 적층하면 자계검출소자의 제조가 완성된다.

<24> 그러나, 상기와 같은 방법으로 미세 자계검출소자를 제조하는 것은 하부 권선의 각 코일선 사이를 절연시키기 위해 각 코일선 사이의 씨드막을 제거하여야 한다. 이를 위해서는 하부 도금틀을 제거하여야 하고, 다시 후속공정을 위해 절연막을 다시 도포해야 하기 때문에 제조공정이 복잡하다는 문제점이 있었다.

<25> 또한, 씨드막을 제거한 하부 권선에 절연막을 형성하기 위해 사용할 수 있는 물질이 제한된다는 문제점이 있다. 이는 절연막은 연자성코어와의 절연성이 좋으면서도 연자성코어를 형성하기 위해 평탄화 특성이 좋은 물성을 가져야 하며, 하부 권선을 구성하는 폭이 좁고 높은 코일선 사이를 채울 수 있는 물성을 갖고 있어야 하기 때문이다.

<26> 따라서, 제조공정이 단순하며, 절연막으로 사용할 수 있는 물질의 제약이 적은 미세 자계검출소자의 제조방법에 대한 발명의 필요성이 제기되어 왔다.

**【발명이 이루고자 하는 기술적 과제】**

<27> 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로서, 씨드막을 제거하기 위해 도금층을 제거할 필요가 없기 때문에 제조공정이 단순하고, 절연막으로 사용할 수 있는 물질의 종류에 대해 제한이 적은 미세 자계검출소자의 제조방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<28> 상기와 같은 본 발명의 목적은, 반도체기판 상면에 하부코일을 형성하고, 그 위에 연자성코어를 형성한 후 상부코일을 형성하는 미세 자계검출소자의 제조방법에 있어서, 반도체기판 상면에 씨드막을 형성하는 단계; 하부코일을 구성하는 복수의 코일선 사이는 서로 절연되고, 복수의 코일선은 하부코일의 외주부와는 연결되도록 씨드막을 제거하는 단계; 씨드막이 일부 제거된 반도체기판 상면에 포토레지스트를 도포하고 노광 및 현상을 통하여 하부코일에 대응하는 패턴을 형성하는 단계; 패턴의 요(凹)부에 금속이 채워지도록 반도체기판 상면에 금속막을 형성하는 단계; 하부코일이 형성된 반도체기판 상면에 연자성코어를 형성하고 상부코일을 형성하는 단계; 하부코일을 구성하는 복수의 코일선이 절연되도록 하부코일의 외주부에 해당하는 반도체기판을 절단하는 단계;를 포함하는 것을 특징으로 하는 미세 자계검출소자의 제조방법을 제공함으로써 달성된다.

<29> 여기서, 씨드막을 제거하는 단계는, 씨드막 상부에 포토레지스트를 도포하는 단계; 씨드막 상부에 도포된 포토레지스트에 노광 및 현상을 통하여 제거될 씨드막 패턴을 형성하는 단계; 및 패턴에 따라 씨드막을 에칭하여 제거하는 단계;를 포함하는 것을 특징으로 한다.

- <30> 또한, 연자성코어를 형성하는 단계는, 패턴의 요부에 금속이 채워진 반도체기판의 상면을 평탄화하는 단계; 평탄화된 반도체기판의 상면에 절연막을 도포하는 단계; 절연막의 상부에 연자성체막을 도포하는 단계; 연자성체막에 포토레지스트를 도포한 후 노광과 현상을 통해 연자성코어의 패턴을 형성하는 단계; 패턴에 따라 연자성체막을 에칭하여 연자성코어를 형성하는 단계;를 포함하는 것을 특징으로 한다.
- <31> 그리고, 또 다른 실시예에 의한 연자성코어를 형성하는 단계는, 패턴을 형성하는 포토레지스트를 제거하는 단계; 패턴이 제거된 하부코일에 절연막을 도포하는 단계; 절연막의 상부에 연자성체막을 도포하는 단계; 연자성체막에 포토레지스트를 도포한 후 노광과 현상을 통해 연자성코어의 패턴을 형성하는 단계; 패턴에 따라 연자성체막을 에칭하여 연자성코어를 형성하는 단계;를 포함하는 것을 특징으로 한다.
- <32> 또한, 상부코일을 형성하는 단계는, 제2절연막의 상면에 씨드막을 형성하는 단계; 상부코일을 구성하는 복수의 코일선 사이는 서로 절연되고, 복수의 코일선은 상부코일의 외주부와는 서로 연결되도록 씨드막을 제거하는 단계; 씨드막이 일부 제거된 제2절연막 상면에 포토레지스트를 도포하고 노광 및 현상을 통하여 상부코일에 대응하는 패턴을 형성하는 단계; 패턴의 요(凹)부에 금속이 채워지도록 제2절연막 상면에 금속막을 형성하는 단계; 상부코일이 형성된 반도체기판 상면에 보호막을 형성하는 단계; 및 하부코일 및 상부코일을 구성하는 복수의 코일선이 서로 절연되도록 하부코일 및 상부코일의 외주부에 해당하는 반도체기판을 절단하는 단계;를 포함하는 것을 특징으로 한다.
- <33> 이하, 첨부된 도 4 내지 도 6을 참조하여 본 발명에 의한 미세 자계검출소자의 제조방법의 바람직한 실시예에 대하여 상세하게 설명한다.

- <34> 도 4a내지 도 4d는 본 발명에 의한 미세 자계검출소자의 제조방법에 의해 미세 자계검출소자의 하부코일을 형성하는 공정을 나타내 보인 도면이다.
- <35> 먼저, 반도체기판(100)에 전기적 절연을 위해 산화막(미도시)을 형성하고, 도금을 위한 씨드막(sead layer, 102)을 산화막 위에 형성한다. 이후, 포토레지스트를 씨드막(102) 위에 도포한 후 노광과 현상과정을 통해 제거할 씨드막의 패턴(103)을 형성한다. 이때, 제거할 씨드막의 패턴(103)은 도 5a에 도시된 바와 같이 하부코일(106)을 구성하는 복수의 코일선(107)이 형성될 씨드막(102b) 사이는 서로 절연되고, 하부코일(106)의 외주부를 이루는 씨드막(102a)은 복수의 코일선(107)이 형성될 씨드막(102b) 각각과 연결되도록 형성된다. 즉, 씨드막(102)은 반도체기판(100) 전체로 보면 전기적으로 단락되어 있지만 하부코일(106)을 구성하는 복수의 코일선(107)들은 각각 외주의 씨드막(102a)과의 연결부를 절단하면 서로 전기적으로 절연될 수 있도록 형성되어 있다. 여기서, 하부코일(106)은 여자코일과 자계검출코일이 교대로 1번씩 권선된 구조를 갖도록 형성되는 것이 일반적이다. 또한, 여자코일이나 자계검출코일 중 한가지의 코일만 솔레노이드 형태로 권선될 수도 있다. 이후, 에칭을 통해 씨드막(102)의 제거할 부분(103)을 제거한 후 제거할 씨드막 패턴(103)을 형성하였던 포토레지스트를 제거한다. 이후 제거된 씨드막 패턴(103)을 절연선(103)이라 칭한다.
- <36> 이후, 절연선(103)이 형성된 씨드막(102) 상부에 포토레지스트를 두껍게 도포한 후 노광과 현상과정을 통해 하부코일(106)에 대응되는 패턴, 즉 하부 도금틀(104)을 형성한다(도 4c 참조). 그리고, 하부 도금틀(104)의 요(凹)부(105)에 금속이 채워지도록 금속막을 형성한다. 이때, 전기도금을 시행하면 하부 도금틀(104)의 요부(105) 하부에 있는 씨드막(102b)에 금속이 부착되어 성장하여 하부코일(106)의 각 코일선(107)을 형성하게 된다. 이와 같이 하부 도금틀(104)의 요부(105)에 금속(107)이 채워진 모습이 도 4d에 도시되어 있다.

- <37> 이와 같이 하부 도금층(104)의 요부(105)에 금속(107)이 채워진 반도체기판(100)의 상면을 평탄하게 가공한다(도 6b 참조). 이는 하부 도금층(104)의 요부(105)에 채워진 금속(107)이 서로 절연되도록 하고, 그 상부에 연자성코어(122)를 형성하기 위함이다. 평탄화 가공은 CMP(Chemical Mechanical Polishing) 가공이 바람직하다. 평탄화 가공이 완료된 반도체기판(100)의 상부에 제1절연막(120)을 형성한다(도 6c 참조). 그리고 제1절연막(120) 상부에 연자성체막을 적층하고 패턴형성과 에칭을 통해 연자성코어(122)를 형성한다(도 6d 참조).
- <38> 한편, 연자성코어(122)를 형성하기 위한 제1절연막(120)을 형성하는 것은 또 다른 방법으로 구현할 수 있다. 그 방법은, 먼저, 도 4d와 같이 하부 도금층(104)의 요부(105)에 금속(107)이 채워진 반도체기판(100)에서 하부 도금층(104)을 형성하는 포토레지스트를 제거한다. 그후에 하부코일(106)의 상부에 절연물질을 도포하여 제1절연막(120')을 형성한다(도 7). 이 경우에는 하부코일(106)의 절연과 연자성코어의 적층을 위해 평탄화 가공을 할 필요가 없다는 잇점이 있다. 그리고, 제1절연막(120') 상부에 연자성체막을 적층하고 패턴형성과 에칭을 통해 연자성코어(122)를 형성한다.
- <39> 이어서, 연자성코어(122)가 형성된 반도체기판(100) 상부에 제2절연막(125)을 형성한다. 제2절연막(125)에 하부코일(106)의 양단부를 이루는 코일선(107)과 연통되는 관통공(135)을 형성한다(도 6e 참조). 그리고, 제2절연막(125) 상부에 씨드막(130)을 형성한다. 다음에 포토레지스트를 씨드막(130) 위에 두껍게 도포한 후 노광과 현상과정을 통해 상부코일(136)의 형상에 대응되는 패턴, 즉 상부 도금층(132)을 형성한다(도 6f 참조). 이때, 상부코일(136)은 하부코일(106)에 대응되는 것으로서 여자코일과 자계검출코일이 교대로 1번씩 권선된 구조를 갖도록 형성되거나, 여자코일이나 자계검출코일 중 한가지의 코일만 솔레노이드 형태로 권선되어 있다.

- <40> 이후, 전기도금을 통하여 상부 도금틀(132)의 요부(133)에 금속을 채워 넣어 상부코일(136)을 구성하는 복수의 코일선(137)을 형성한다(도 6g 참조). 그 후에 상부 도금틀(132)을 형성한 포토레지스트와 포토레지스트 아래의 씨드막(130a)을 제거하여 상부코일(136)을 형성할 수 있다(도 6h 참조). 이어서, 상부코일(136)의 권선 상부에 보호막(140)을 적층하면 자계검출소자의 제조가 완성된다(도 6i 참조).
- <41> 그후에 도 5b에 도시한 바와 같이 하부코일(106)의 씨드막(102) 외주부에 해당하는 부분(102b)을 절단선(110)을 따라 다이싱(dicing) 가공을 통하여 절단한다. 그러면, 도면에서 알 수 있는 바와 같이 하부코일(106)을 구성하는 복수의 코일선(107)이 서로 전기적으로 분리된다.
- <42> 이상에서는 상부코일(136)을 형성하는 공정은 종래와 동일한 방법을 사용하는 실시예를 설명하였다. 그러나, 본 발명에 의한 미세 자계검출소자의 제조방법의 다른 실시예로서, 미세 자계검출소자의 상부코일(136)도 이상에서 설명한 하부코일(106)의 형성방법과 동일한 공정을 거쳐 제작할 수 있다. 그 제조공정을 도 8을 참조하여 설명하면 다음과 같다.
- <43> 반도체기판(100)에 산화층을 형성한 후 제2절연막(125)을 형성하기 까지의 공정(도 8a 내지 도 8e 참조)은 상술한 실시예와 동일하므로 상세한 과정은 생략한다.
- <44> 제2절연막(125)이 형성된 반도체기판(100) 상부에 도금을 위한 상부 씨드막(sead layer, 130)을 형성한다. 이후, 포토레지스트를 상부 씨드막(130) 위에 도포한 후 노광과 현상 과정을 통해 제거할 씨드막의 패턴(131)을 형성한다. 이때, 제거할 씨드막의 패턴(131)은 상부코일(136)을 구성하는 복수의 코일선(137)이 형성될 씨드막 사이는 서로 절연되고, 상부코일(136)의 외주부를 이루는 씨드막은 복수의 코일선(137)이 형성될 씨드막 각각과 연결되도록 형성된다(도 5a의 하부코일의 씨드막 패턴(103) 참조). 즉, 반도체기판(100) 전체로 보면 전기적



으로 단락되어 있지만 상부코일(136)을 구성하는 복수의 코일선(137)들은 각각 전기적으로 분리될 수 있도록 형성되어 있다. 여기서, 상부코일(136)은 상술한 바와 같이 하부코일(106)에 대응되도록 형성된다. 이때, 맨 마지막 공정에서 다이싱을 통해 상부코일(136)의 외주부와 하부코일(106)의 외주부(102a)를 절단선(110)을 따라 동시에 절단할 때 상부코일(136)과 하부코일(106)을 구성하는 복수의 코일선(137,107)들이 서로 절연될 수 있도록 상부코일(136)의 절단선과 하부코일(106)의 절단선(110)을 일치시키는 것이 중요하다. 이후, 에칭을 통해 씨드막(130)의 제거할 부분(131)을 제거한 후 제거할 씨드막 패턴(131)을 형성하였던 포토레지스트를 제거한다(도 8f 참조). 이후 제거된 씨드막 패턴(131)을 절연선(131)이라 칭한다.

<45> 이후, 절연선(131)이 형성된 씨드막(130) 상부에 포토레지스트를 두껍게 도포한 후 노광과 현상과정을 통해 상부코일(136)에 대응되는 패턴, 즉 상부 도금틀(142)을 형성한다(도 8g 참조). 그리고, 상부 도금틀(142)의 요부(143)에 금속이 채워지도록 금속막을 형성한다. 이때, 전기도금을 시행하면 상부 도금틀(142)의 요부(143) 하부에 있는 씨드막에 금속이 부착되어 성장하여 상부코일(136)을 형성하게 된다. 이와 같이 상부 도금틀(142)의 요부(143)에 금속이 채워진 모습이 도 8h에 도시되어 있다. 이어서, 상기 상부코일(136)의 상부에 보호막(150)을 도포하면 미세 자계검출소자가 완성된다.

<46> 그후에 하부코일(106)과 상부코일(136)의 씨드막 외주부(102a)에 해당하는 부분을 다이싱(dicing) 가공을 통하여 절단한다(도 5b의 하부코일 절단선(110) 참조). 그러면, 도면에서 알 수 있는 바와 같이 하부코일(106) 및 상부코일(136)을 구성하는 복수의 코일선(107,137)이 서로 전기적으로 분리된다.

<47> 이상에서 설명한 바와 같이 본 발명에 의한 미세 자계검출소자의 제조방법에 의하면, 씨드막을 제거하기 위하여 도금틀을 제거할 필요가 없기 때문에 제조공정이 단순해 진다.

<48> 또한, 도금틀을 제거하지 않기 때문에 도금틀로 사용되는 물질의 제약이 적다는 잇점이 있다.

**【발명의 효과】**

<49> 상기에서 설명한 바와 같이 본 발명에 의한 미세 자계검출소자의 제조방법에 의하면, 씨드막을 제거하기 위해 도금틀을 제거할 필요가 없기 때문에 제조공정이 단순하고, 절연막으로 사용할 수 있는 물질의 제약이 적은 미세 자계검출소자를 제공할 수 있다.

<50> 본 발명은 상술한 특징의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위 내에 있게 된다.



**【특허청구범위】****【청구항 1】**

반도체기판 상면에 하부코일을 형성하고, 그 위에 연자성코어를 형성한 후 상부코일을 형성하는 미세 자계검출소자의 제조방법에 있어서,

상기 반도체기판 상면에 씨드막을 형성하는 단계;

상기 하부코일을 구성하는 복수의 코일선 사이는 서로 절연되고, 상기 복수의 코일선은 상기 하부코일의 외주부와는 서로 연결되도록 상기 씨드막을 제거하는 단계;

상기 씨드막이 일부 제거된 상기 반도체기판 상면에 포토레지스트를 도포하고 노광 및 현상을 통하여 상기 하부코일에 대응하는 패턴을 형성하는 단계;

상기 패턴의 요(凹)부에 금속이 채워지도록 상기 반도체기판 상면에 금속막을 형성하는 단계;

상기 하부코일이 형성된 반도체기판 상면에 상기 연자성코어를 형성하고 상부코일을 형성하는 단계;

상기 하부코일을 구성하는 복수의 코일선이 서로 절연되도록 상기 하부코일의 외주부에 해당하는 반도체기판을 절단하는 단계;를 포함하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 씨드막을 제거하는 단계는,

상기 씨드막 상부에 포토레지스트를 도포하는 단계;



상기 씨드막 상부에 도포된 포토레지스트에 노광 및 현상을 통하여 제거될 씨드막 패턴을 형성하는 단계; 및

상기 패턴에 따라 상기 씨드막을 에칭하여 제거하는 단계;를 포함하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.

### 【청구항 3】

제 1 항에 있어서, 상기 패턴의 요부에 금속막을 형성하는 단계는 전기도금을 이용하여 금속막을 형성하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.

### 【청구항 4】

제 1 항에 있어서, 상기 연자성코어를 형성하는 단계는,

상기 패턴의 요부에 금속이 채워진 상기 반도체기판의 상면을 평탄화하는 단계;

상기 평탄화된 반도체기판의 상면에 절연막을 도포하는 단계;

상기 절연막의 상부에 연자성체막을 도포하는 단계;

상기 연자성체막에 포토레지스트를 도포한 후 노광과 현상을 통해 연자성코어의 패턴을 형성하는 단계;

상기 패턴에 따라 상기 연자성체막을 에칭하여 상기 연자성코어를 형성하는 단계;를 포함하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.

### 【청구항 5】

제 1 항에 있어서, 상기 연자성코어를 형성하는 단계는,

상기 패턴을 형성하는 포토레지스트를 제거하는 단계;

상기 패턴이 제거된 상기 하부코일에 절연막을 도포하는 단계;

상기 절연막의 상부에 연자성체막을 도포하는 단계;

상기 연자성체막에 포토레지스트를 도포한 후 노광과 현상을 통해 연자성코어의 패턴을 형성하는 단계;

상기 패턴에 따라 상기 연자성체막을 에칭하여 상기 연자성코어를 형성하는 단계;를 포함하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.

#### 【청구항 6】

제 1 항에 있어서, 상기 상부코일을 형성하는 단계는,

상기 제2절연막의 상면에 씨드막을 형성하는 단계;

상기 상부코일을 구성하는 복수의 코일선 사이는 서로 절연되고, 상기 복수의 코일선은 상기 상부코일의 외주부와는 서로 연결되도록 상기 씨드막을 제거하는 단계;

상기 씨드막이 일부 제거된 상기 제2절연막 상면에 포토레지스트를 도포하고 노광 및 현상을 통하여 상기 상부코일에 대응하는 패턴을 형성하는 단계;

상기 패턴의 요(凹)부에 금속이 채워지도록 상기 제2절연막 상면에 금속막을 형성하는 단계;

상기 상부코일이 형성된 반도체기판 상면에 보호막을 형성하는 단계;

상기 하부코일 및 상부코일을 구성하는 복수의 코일선이 서로 절연되도록 상기 하부코일 및 상부코일의 외주부에 해당하는 반도체기판을 절단하는 단계;를 포함하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.



1020030011807

출력 일자: 2003/10/14

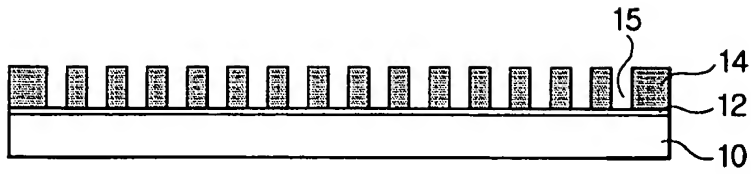
【청구항 7】

제 6 항에 있어서, 상기 패턴의 요부에 금속막을 형성하는 단계는 전기도금을 이용하여 금속막을 형성하는 것을 특징으로 하는 미세 자계검출소자의 제조방법.

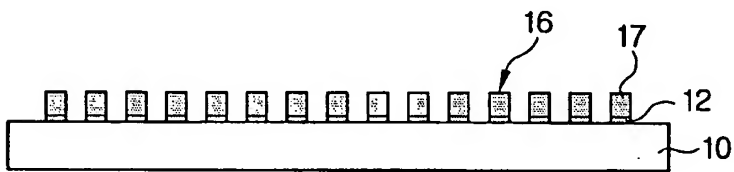


【도면】

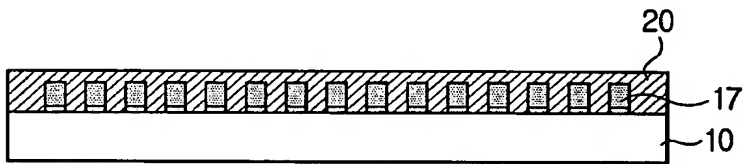
【도 1a】



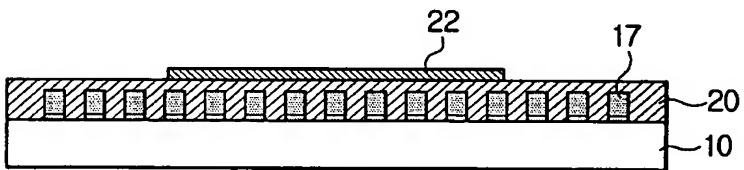
【도 1b】



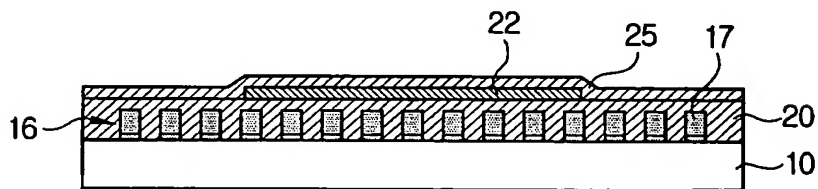
【도 1c】



【도 1d】

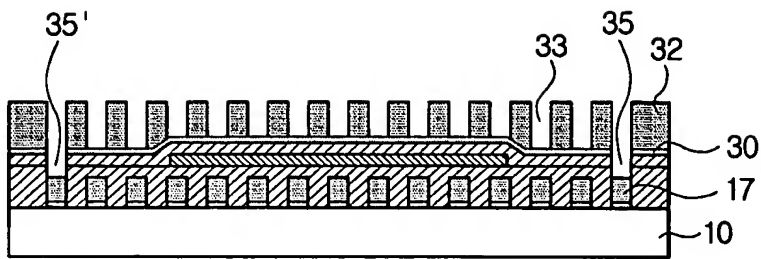


【도 1e】

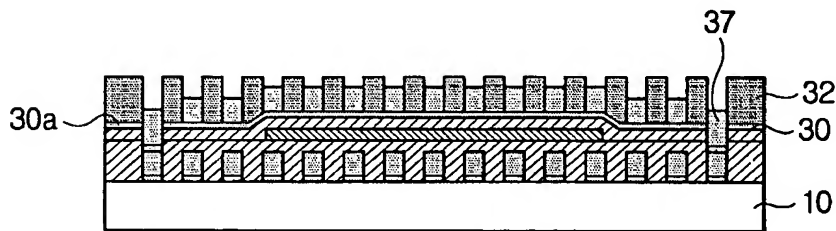




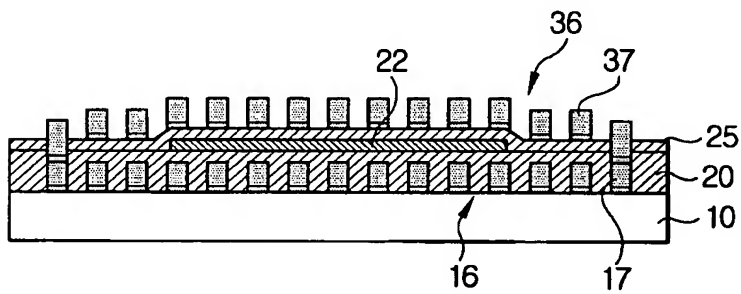
【도 1f】



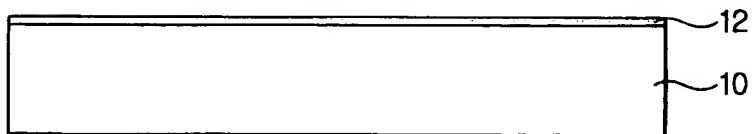
【도 1g】



【도 1h】

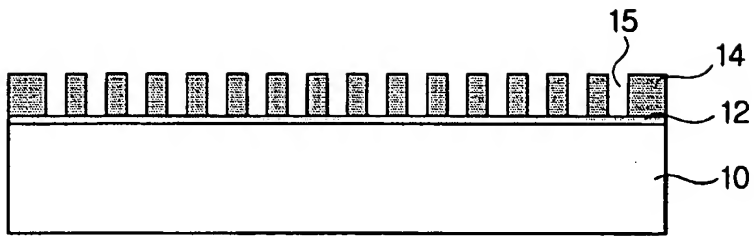


【도 2a】

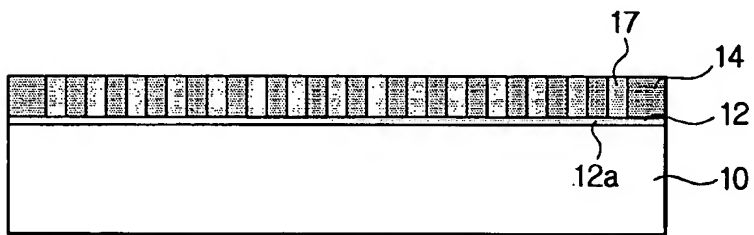




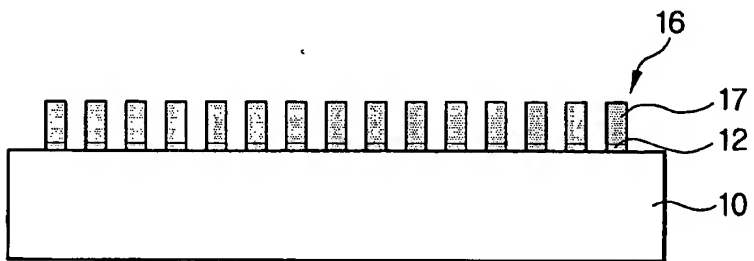
【도 2b】



【도 2c】

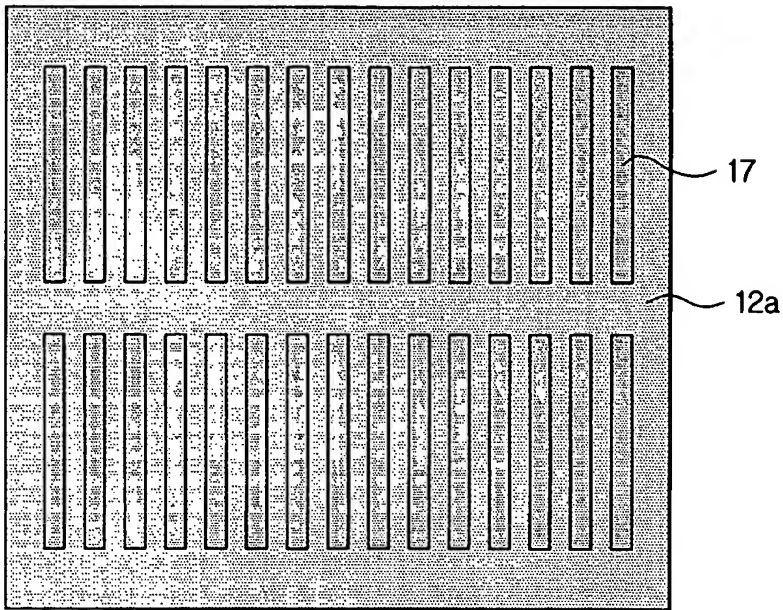


【도 2d】

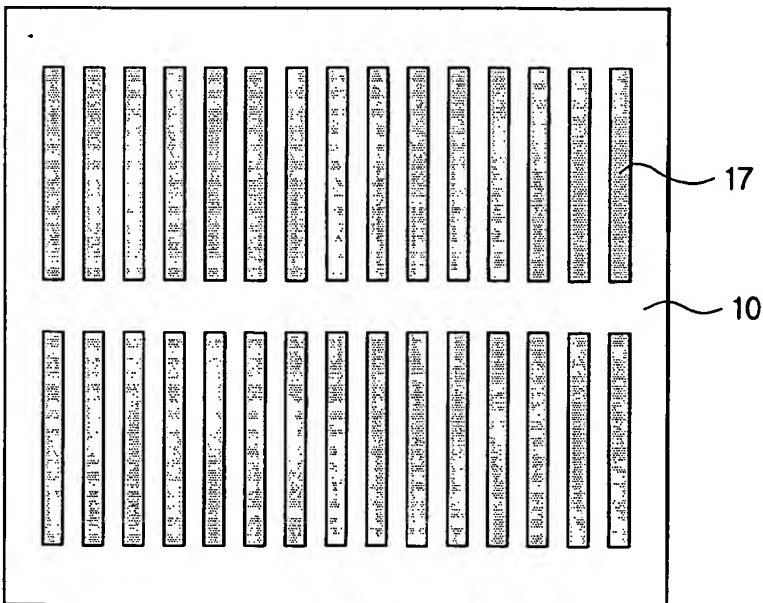




【도 3a】



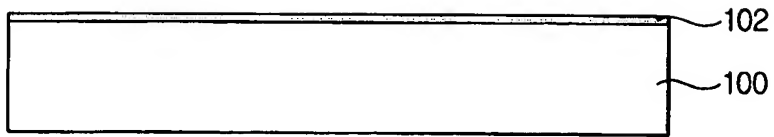
【도 3b】



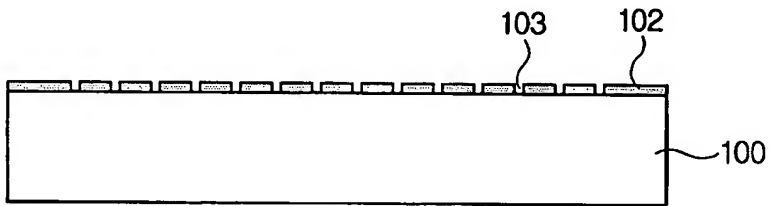




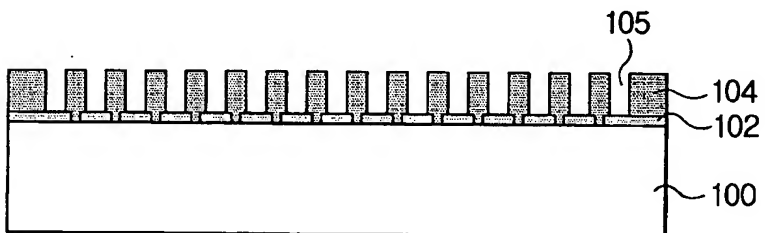
【도 4a】



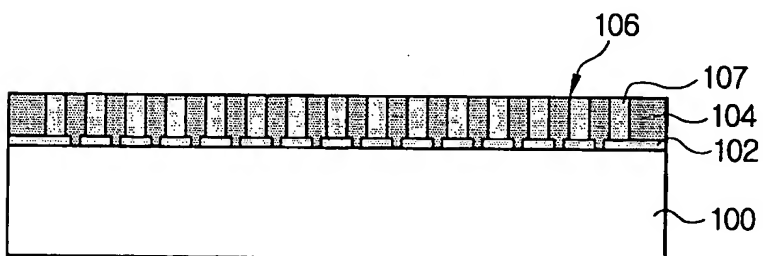
【도 4b】



【도 4c】

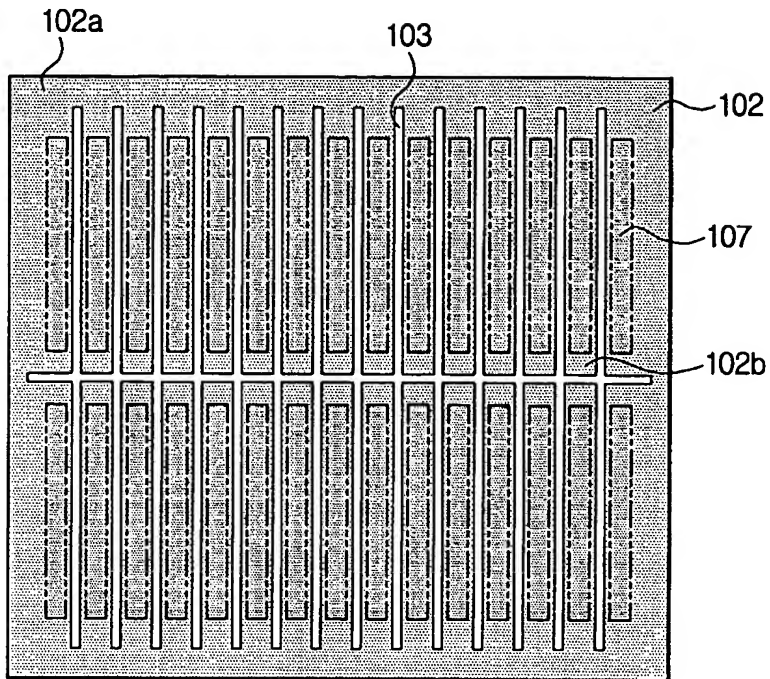


【도 4d】

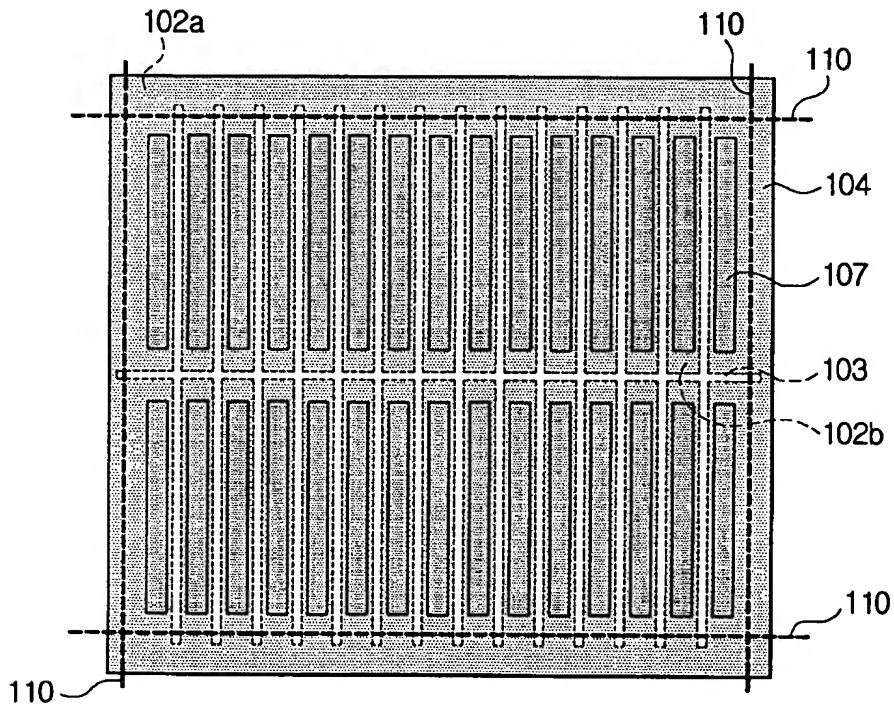




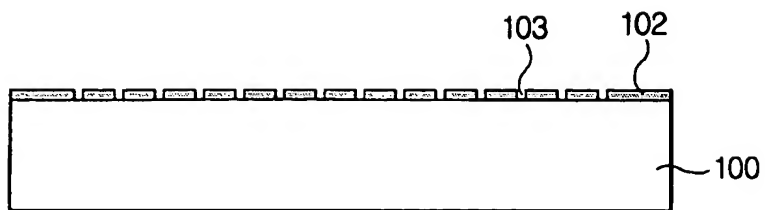
【도 5a】



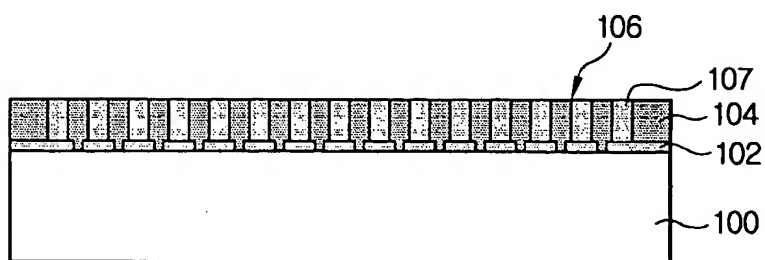
【도 5b】



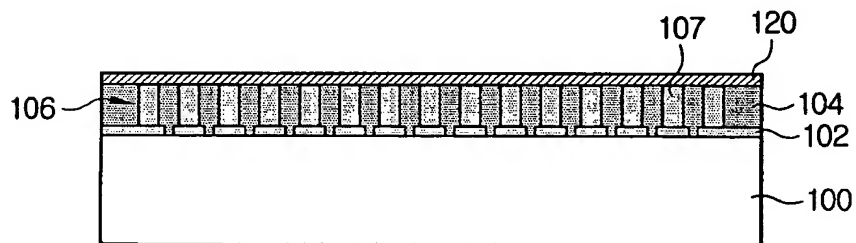
【도 6a】



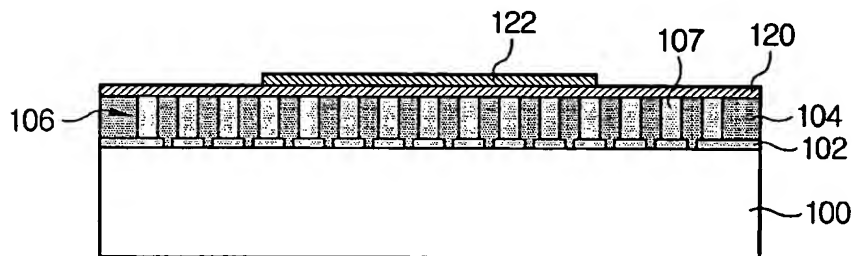
【도 6b】



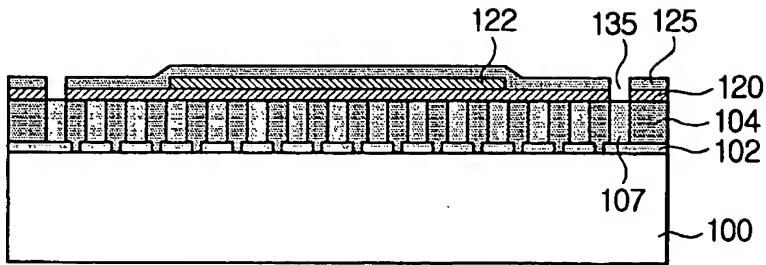
【도 6c】



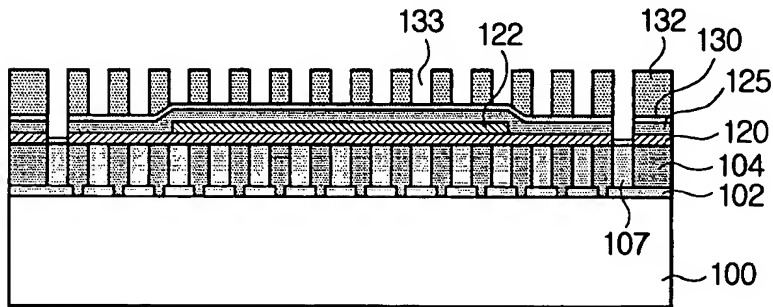
【도 6d】



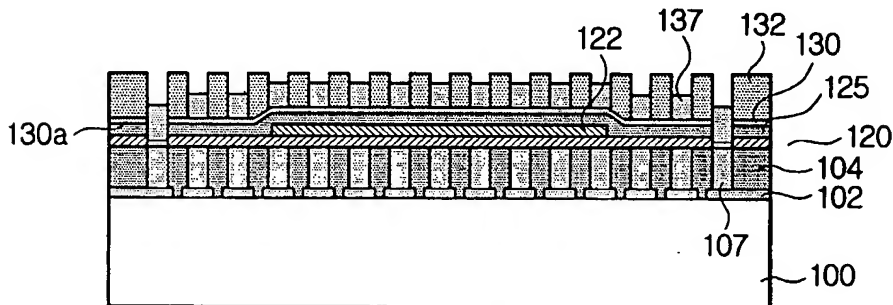
【도 6e】



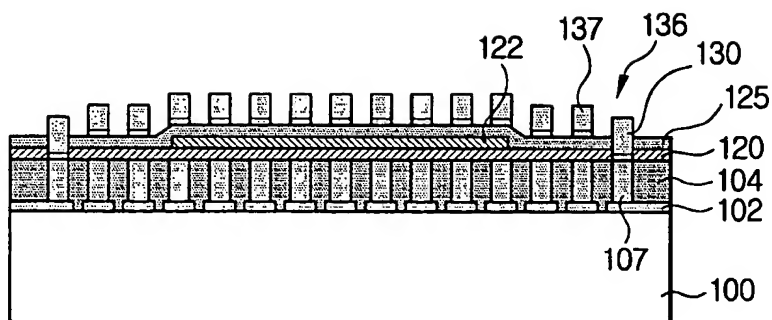
【도 6f】



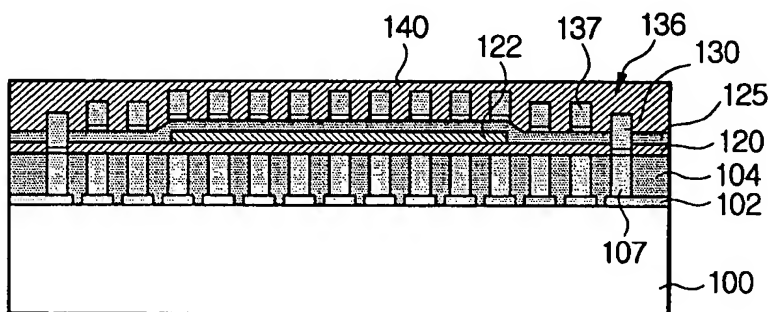
【도 6g】



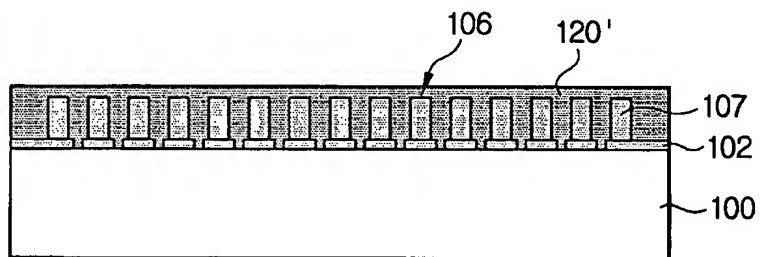
【도 6h】



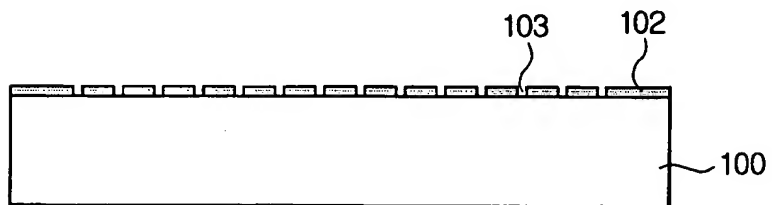
【도 6i】



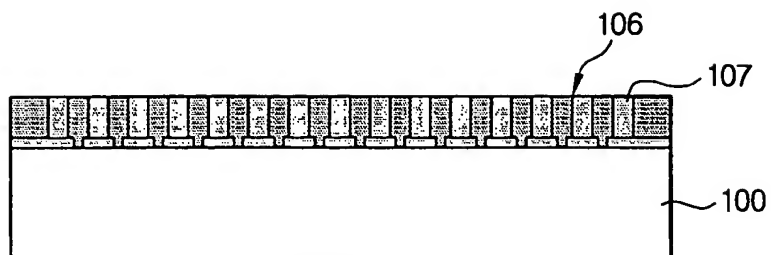
【도 7】



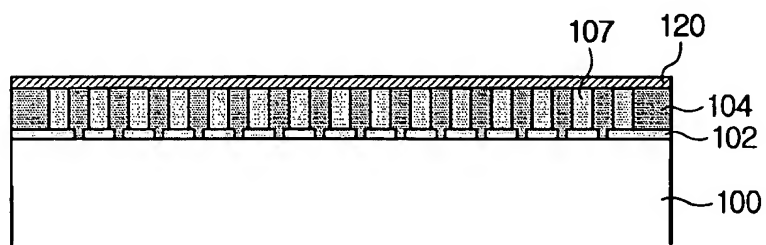
【도 8a】



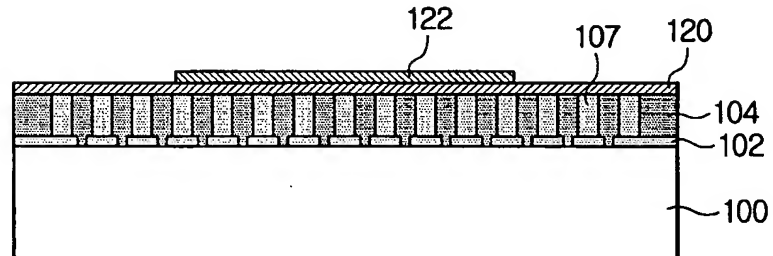
【도 8b】



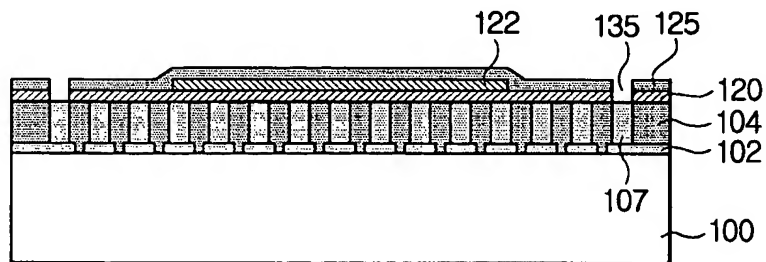
【도 8c】



【도 8d】



【도 8e】



A cross-sectional view of a semiconductor device. The device is built on a substrate 100. A gate stack is formed on the substrate, consisting of layers 102, 104, 120, and 125. The gate stack is divided into a central region 142 and side regions 143. A top layer 130 is formed on the gate stack, with a central region 142 and side regions 143. The side regions 143 are formed on the side regions 142 of the gate stack.

A cross-sectional view of a semiconductor device. The device consists of a substrate 100. On the substrate, there is a gate stack 102, 104, 120, 125. The gate stack is divided into regions 136, 137, and 142. A layer 107 is located below the gate stack. A top layer 130 is on the surface of the gate stack.

【도 8i】

